

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-53313

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76	E	9169-4M		
21/205				
21/304	3 2 1 M	8728-4M		
21/74		9169-4M		
		7377-4M		

H 0 1 L 29/ 72

審査請求 未請求 請求項の数1(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-315881

(22)出願日 平成3年(1991)11月29日

(31)優先権主張番号 特願平2-340908

(32)優先日 平2(1990)11月30日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浜田 耕治

東京都港区芝五丁目7番1号日本電気株式会社内

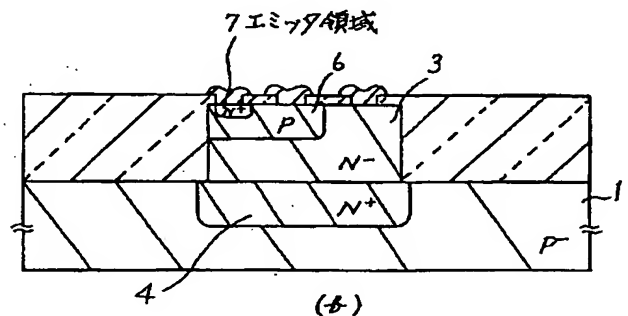
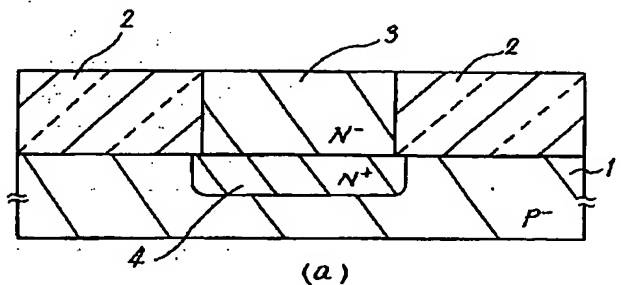
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】900℃で分離絶縁酸化膜2の2倍の厚さにまで選択エピタキシャル成長法により単結晶シリコン膜3を成長させる。エチレン・ジアミン・ピロカテコールとシリカの微粉末を含む研磨液を用いてポリウレタン系の研磨パッドで、絶縁膜2上にとび出た単結晶シリコン膜3を削りとり平坦化する。

【効果】単結晶シリコン膜3をその結晶欠陥を著しく少なくして形成することができる。したがって、PN接合を有しこのPN接合を逆バイアスして用いる素子のために、本発明によって製造された半結晶シリコン膜3を用いると、リーク電流の増大を著しく抑制することができる。



1

## 【特許請求の範囲】

【請求項1】 シリコン基板上に絶縁膜のパターンを形成し、選択エピタキシャル成長法を用いて前記絶縁膜パターンの開孔部内に選択的に単結晶シリコン膜を堆積する半導体装置の製造方法において、前記単結晶シリコン膜を880℃以上980℃以下の温度で前記開口部内に絶縁膜パターンの表面を越える膜厚にまで選択成長せしめる工程と、前記単結晶シリコン膜の選択成長膜を前記絶縁膜パターンの高さに平坦化する単結晶シリコン膜の研磨工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に単結晶シリコン膜の選択エピタキシャル成長法に関する。

## 【0002】

【従来の技術】 従来、誘電体分離領域を有する半導体装置を選択エピタキシャル成長法を用いて製造方法するには、例えば学術誌「アン・インタナショナル・ジャーナル・オブ・セミコンダクター・マニュファクチュアリング・テクノロジー (An International Journal of Semiconductor Manufacturing Technology, Volume 4, No. 1 May 1986, PP 3~33)」が記載するように、単結晶シリコン膜は温度950℃以上の条件で、選択成長される。

【0003】 図5は従来の選択エピタキシャル法によつ \*

成 長 温 度	1000℃
SiH <sub>2</sub> Cl <sub>2</sub> の 流 量	300SCCM
HCl の 流 量	1300SCCM
H <sub>2</sub> の 流 量	160SLM
圧 力	50Torr

【0008】 上記の条件でフォスフィン・ガス (P H<sub>3</sub>) を適当に添加しながら成長させると、抵抗率0.8ΩcmのN型単結晶シリコン膜3がエピタキシャル成長する。ついで、ボロン (B) をイオン注入でエピタキシャル層表面に打ち込み活性化熱処理を行ない面積15μm×19μm、深さ0.4μmのP型ベース領域6を形成した。ついで、このP型ベース領域6とコレクタとなるべきN型単結晶シリコン膜3とからそれぞれ電極を引出し、これに10Vの逆バイアス電圧をかけてコレクタ/ベース接合 (以下CB接合という) の逆方向特性を調べると、接合のリーク電流は接合と絶縁膜との離間距離× (μm) が1.5μmより小さくなると急激に増大

2

\*て製造されたN型単結晶シリコン膜の断面図を示す。すなわち、N型単結晶シリコン膜3はP型シリコン基板1上に形成された絶縁膜パターン2の開孔部を埋めるように絶縁膜の高さと等しい膜厚に堆積される。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上述した従来の半導体装置の製造方法では、選択エピタキシャル成長された単結晶シリコン膜の分離絶縁酸化膜の近傍に多くの結晶欠陥が発生したり、或いは成長膜のコナ部に異なる結晶面、すなわち、ファセット5が形成され段差を生じるので、分離絶縁酸化膜に接するようにPN接合を形成すると、この接合のリーク電流は大きくなる。ここで、この様子を図面を用いて具体的に説明する。

【0005】 図6の分図 (a) (b) はそれぞれ上記N型単結晶シリコン膜上にNPNトランジスタのベース領域を形成した場合の平面図およびそのA-A'断面図を示す。すなわち、P型シリコン基板1の表面に砒素 (As) を注入してN+埋込層4を形成し、この表面を選択酸化して1.5μmの絶縁膜パターン2を形成する。つぎに適当な前処理を行なった後、絶縁膜上にはシリコンを析出せず、露出しているシリコン基板表面のみにシリコンを析出させる所謂選択エピタキシャル成長をこの面上に行なう。

【0006】 従来の代表的な成長条件は以下の通りである。

## 【0007】

## 【表1】

することが確かめられた。すなわち、接合が絶縁膜の近傍に形成されるに従いリーク電流は10<sup>-14</sup>台から10<sup>-12</sup>台にまで2桁以上も増加することが実験上明らかとなった。また、実験結果を更に分析すると、温度1000℃で成長した単結晶シリコン膜にはファセットの成長はきわめて低く抑えられているが、分離絶縁酸化膜2の近傍に多くの結晶欠陥が発生しており、CB接合がこの結晶欠陥の多い分離絶縁酸化膜2の近傍に近づくと、リーク電流が急激に増加することが明らかとなり、また、成長温度を例えば900℃まで低くすると、結晶欠陥が少なくなる代わりに逆にファセットの成長度合が増加することが認められた。すなわち、結晶欠陥とファセット

3

成長とは単結晶シリコン膜の選択成長温度にそれぞれ深く依存しており、1000℃以上の高温では結晶欠陥が、また、900℃近傍の低温度ではファセット成長がより多く発生し、接合のリーク電流の増大にそれぞれ深く関わり合っていることが確められた。

【0009】本発明の目的は、上記の情況に鑑み、分離絶縁酸化膜との近傍領域における結晶欠陥およびファセットの生成をきわめて有効に抑止することのできる単結晶シリコン膜の選択エピタキシャル成長工程を備えた半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明による半導体装置の製造方法は、シリコン基板上に絶縁膜のパターンを形成し、選択エピタキシャル成長法を用いて前記絶縁膜パターンの開口部内に選択的に単結晶シリコン膜を堆積する半導体装置の製造方法において、前記単結晶シリコン膜を880℃以上980℃以下の温度で、前記開口部内に絶縁膜パターンの表面を越える膜厚にまで選択成長せしめる工程と、前記単結晶シリコン膜の選択成長膜を前記絶縁膜パターンの高さに平坦化する単結晶シリコン膜の研磨工程とを含むことを特徴としている。

【0011】本発明では単結晶シリコン膜の成長温度を880℃以上980℃以下の範囲に設定するのが好ましい。980℃を越える成長温度では、単結晶シリコン膜3の速い成長速度のためにその内部に結晶欠陥が生じやすくその表面も荒れたものになってしまう。また880℃未満の成長温度では、結晶欠陥は少ないが分離絶縁酸化膜2の内壁の近くにもファセットが生じやすくなり、ここにPN接合を形成し逆バイアスを印加すると、リーク電流の増加を招いてしまう。

【0012】

【実施例】以下図面を参照して本発明を詳細に説明する。

【0013】図1及び図2は本発明の一実施例を示す工程順序図である。本実施例によれば、P型シリコン基板1上にN<sup>+</sup>埋込層4がまず形成され、ついで膜厚1.5μmの分離絶縁酸化膜パターン2がN<sup>+</sup>埋込層4上に開口部を設けて形成される〔図1の分図(a)参照〕。つぎに、この開口部内のシリコン表面を適当な前処理により清浄化しN型シリコン単結晶膜3を選択成長せしめる。成長温度の一例として900℃のときの成長条件は次の通りである。

【0014】

【表2】

4

SiH <sub>2</sub> Cl <sub>2</sub> の流量	300SCCM
HClの流量	600SCCM
H <sub>2</sub> の流量	160SLM
圧力	50Torr

【0015】この際、単結晶シリコン膜3はコーナ一部に発生するファセット5が図1の分図(b)に示すように、膜厚1.5μmの分離絶縁酸化膜3の表面より上になるように、例えば3μmの厚さに成長される。またこのとき、抵抗率が0.8Ωcmになるようにフォスフィン・ガス(PH<sub>3</sub>)が添加される。ついでエチレン・ジアミン・ピロカテコール[NH(CH<sub>2</sub>)<sub>4</sub>NH]とシリカの微粉末を含む水溶液を研磨液として、ポリウレタン系の研磨パッドに圧力100g/cm<sup>2</sup>でウェハー表面を押しつけ、ウェハーを回転させながら研磨を行ない分離絶縁酸化膜2より上に出ているファセット5を含む単結晶シリコン膜3の部分をけずり落とす〔図2の分図(a)参照〕。以上の工程を経た単結晶シリコン膜3には既に述べた理由により結晶欠陥とファセットとが何れも生成されていないので、この領域内にP型ベース領域6、N型エミッタ領域7をそれぞれ形成し、更に多結晶シリコン電極をそれぞれ形成すれば、CB接合リーク電流の極めて小さな図2の分図(b)の如きベース領域6が分離絶縁酸化膜2に接する所謂ウォールド・ベース(Walld Base)構造のNPNトランジスタを得ることができる。

【0016】図3は本発明の効果を示す上記実施例におけるNPNトランジスタのCB接合リーク電流の実測図である。図3には上記実施例の測定データAが従来法による測定データB、Cとの比較において示されている。ここで、データBは成長温度1000℃の従来法によるもの、また、データCは成長温度900℃の同じく従来法による測定値である。これから分るように、従来法によって選択成長された単結晶シリコン膜が結晶欠陥(データB)またはファセット(データC)の影響を受け、接合が分離絶縁酸化膜の近傍に形成された場合、接合のリーク電流をそれぞれ急激に増大させている。反対に、本発明によるものは分離絶縁酸化膜との離間距離に全く依存しないことがわかる。すなわち、接合面が絶縁酸化膜と密着した場合でも接合のリーク電流はデータAが示すように常に一定できわめて小さい。

【0017】図4は本発明によって製造されたN-ch MOSトランジスタの断面図を示す。N型シリコン基板1'上に分離絶縁酸化膜2が膜厚1.5μm成長され、窓開けされた後、この開口部にP型単結晶シリコン膜8が900℃の成長温度で膜厚3μmに選択エピタキシャル成長される。ついでP型単結晶シリコン膜8を研磨して平坦化すれば、開口部内には結晶欠陥とファセッ

5

トがない平坦なP型単結晶シリコン膜を形成することができる。従って、通常の技術に従いゲート酸化膜上に多結晶シリコンゲート電極9およびソース、ドレイン10、11のN+拡散領域をそれぞれ形成すれば、リーク電流のきわめて小さいN-ch MOSトランジスタを得ることができる。

【0018】なお、上述の実施例では単結晶シリコン膜3を分離絶縁膜2の厚みの2倍だけ成長させたが、1.5倍から2.5倍までの間の厚みまで成長させたのち、絶縁膜2上にとび出た部分を削り取っても、リーク電流の増大を抑制することができる。

【0019】

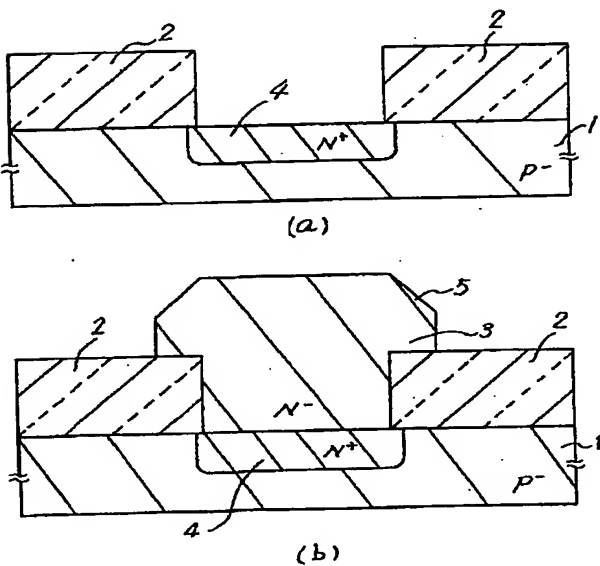
【発明の効果】以上詳細に説明したように本発明によれば、PN接合のリーク電流の増大を招くことなく、分離絶縁酸化膜の開口部内に単結晶シリコン膜をPN接合が分離絶縁酸化膜に接するように選択エピタキシャル成長できるので、信頼性高き半導体装置の生産に顕著なる効果を奏し得る。

【図面の簡単な説明】

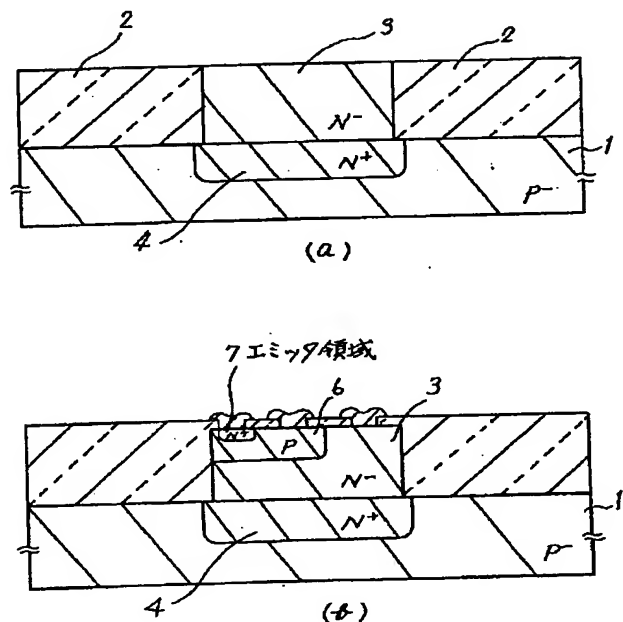
【図1】本発明の一実施例を示す工程順序図である。

【図2】本発明の一実施例を示す工程順序図である。

【図1】



【図2】



6

\*【図3】CB接合電流の実測図である。

【図4】本発明を適用して製造されたN-ch MOSトランジスタの断面図である。

【図5】従来の選択エピタキシャル法によって製造されたN型単結晶シリコン膜の断面図である。

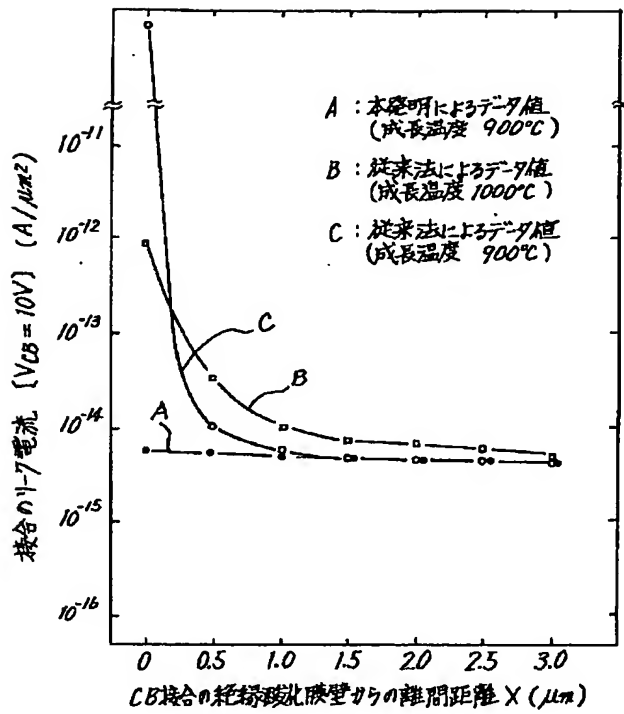
【図6】NPNトランジスタのベース領域が形成された半導体装置の平面図及びA-A'断面図である。

【符号の説明】

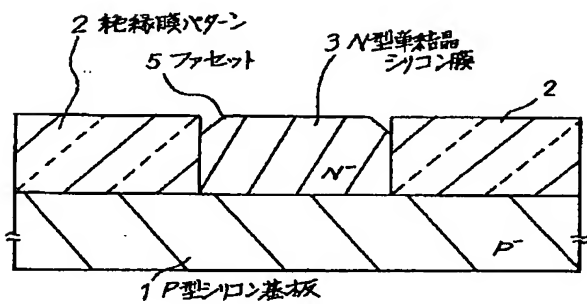
- 1 P型シリコン基板
- 1' N型シリコン基板
- 2 分離絶縁酸化膜パターン
- 3 N型単結晶シリコン膜
- 4 N+埋込層
- 5 ファセット
- 6 P型ベース領域
- 7 エミッタ領域
- 8 P型単結晶シリコン膜
- 9 多結晶シリコン・ゲート電極
- 10 ソース領域
- 11 ドレイン領域

\*

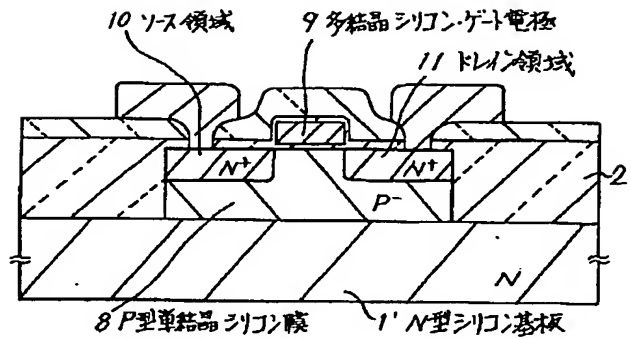
【図3】



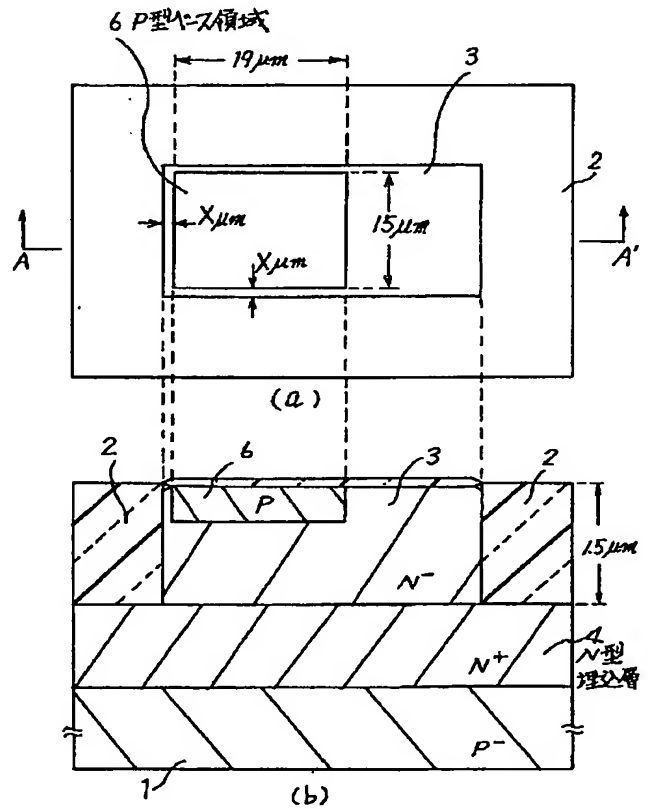
【図5】



【図4】



【図6】



フロントページの続き

(51) Int. Cl. 5  
H 0 1 L 21/331  
29/73

識別記号 庁内整理番号

F I

技術表示箇所

**THIS PAGE BLANK (USPTO)**